

## SEMICONDUCTOR DEVICE

**Publication number:** JP54163679

**Publication date:** 1979-12-26

**Inventor:** ITOU TAKASHI; NOZAKI TAKAO

**Applicant:** FUJITSU LTD

**Classification:**

- international: **H01L21/314; H01L29/78; H01L21/02; H01L29/66;**  
(IPC1-7): H01L21/314; H01L29/78

- european:

**Application number:** JP19780072654 19780615

**Priority number(s):** JP19780072654 19780615

**Report a data error here**

Abstract not available for JP54163679

---

Data supplied from the **esp@cenet** database - Worldwide

⑩日本国特許庁(JP)  
⑫公開特許公報(A)

⑪特許出願公開  
昭54—163679

⑤Int. Cl.<sup>2</sup>  
H 01 L 21/314  
H 01 L 29/78

識別記号 ⑥日本分類  
99(5) C 23

庁内整理番号 ⑬公開 昭和54年(1979)12月26日  
7377—5F  
6603—5F

発明の数 1  
審査請求 有

(全 4 頁)

⑭半導体装置

⑯特 願 昭53—72654  
⑰出 願 昭53(1978)6月15日  
⑱発 明 者 伊藤隆司  
川崎市中原区上小田中1015番地  
富士通株式会社内

⑲発 明 者 野崎尊夫  
川崎市中原区上小田中1015番地  
富士通株式会社内  
⑳出 願 人 富士通株式会社  
川崎市中原区上小田中1015番地  
㉑代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称 半導体装置
2. 特許請求の範囲

シリコン基体表面に、二酸化シリコン膜の少なくとも一部において該二酸化シリコン構成原子の酸素を窒素で置換して成る絶縁膜を有することを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は半導体装置、特に不純物汚染の阻止能に優れた構造緻密で安定な絶縁膜を有する半導体装置に係る。

半導体装置においては、高速度、低消費電力、小型等の特性と同時に長期間の使用に対する信頼性や安定性の高いことが重要である。シリコン(Si)を基板に用いている半導体装置では、信頼性を損う原因は主にその表面にかける汚染等であることが既に明かにされている。このため素子表面を絶縁膜で覆って不活性化することが広く行われている。この絶縁膜に用いられている材料は二酸化シリコン(SiO<sub>2</sub>)が殆どであるが、SiO<sub>2</sub>のみ

では外部からの汚染に対して弱いことが知られており、アルミナ(Al<sub>2</sub>O<sub>3</sub>)、窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)等の膜を重ねた構造や、それらの材料の混合物を被覆すること、或いはSiO<sub>2</sub>膜の表面を珪ガラス化、硼素ガラス化、若しくは鉛ガラス化することが試みられている。特にSiO<sub>2</sub>膜の珪ガラス化は簡単で有効な方法であるため、半導体素子の表面を不活性にする(パッシベーション)手法として最も広く実用化されている。

しかしながら珪ガラス化した表面は吸湿性に富むこと、又珪ガラス化した膜に高電界を印加すると分極等により半導体表面電位が変動する等の新たな不安定性を生ずる。さらに前記の絶縁膜とSiO<sub>2</sub>との組合せを採る構造においては、それらの境界領域において構造欠陥が発生し、それが電荷の捕獲中心として働くことにより、新たな不安定性を生ずることが知られている。この問題は特に、10<sup>6</sup> V/cmといった高電界が印加されるMIS型半導体装置のゲート絶縁膜においては深刻であり、ゲート閾値電圧V<sub>th</sub>のばらつきや、動作時に

おける変動を引起すことになる。

一方、 $\text{SiO}_2$ に代えて、CVD法等により緻密な絶縁物をシリコン基体表面に直接被着した場合には不可避的に界面汚染を生ずることになることから熱酸化によりシリコン基体を直接変換して生成し得る $\text{SiO}_2$ 膜はこの界面汚染防止の点ではとりわけ優れた有用な膜であることは周知の通りである。

本発明は上述の点に鑑み、従来とは全く異なる構造緻密で界面汚染、分極或いは捕獲中心となる構造欠陥等の問題を一掃し得る新規な絶縁膜を有する半導体装置を提供するもので、特に表面安定化膜或いはゲート絶縁膜として極めて有用な新規の絶縁膜及びその製造方法を提供することを目的としている。

本発明による半導体装置は、シリコン基体表面に、二酸化シリコン膜の少なくとも一部において該二酸化シリコン構成原子の酸素を窒素で置換して成る絶縁膜を有することを特徴とするものであり、以下これを詳述する。

本発明の重要な点は、絶縁膜として $\text{SiO}_2$ の構

においてもイオンの移動やキャリアの注入に対する捕獲現象も極めて少ないことが実験的に明らかにされた。

次にこれを具体例によって説明する。

比抵抗 $4 \sim 5 \Omega \cdot \text{cm}$ のP型シリコン基板を400℃の水中をバブルさせたアルゴンガスを流した雰囲気中で1000℃に6分間加熱し、表面に約90Åの熱酸化 $\text{SiO}_2$ 膜を生成した。この基板を $\text{NH}_3$ ガスを流した雰囲気中で1200℃に加熱したところ、加熱時間の増加に伴って膜表面の屈折率は急激に増加し、5時間の処理では屈折率増加は飽和して1.65程度になった。このとき全体の膜厚は約10Åの増加が見られた。

この基板表面の絶縁膜に対してスパッタリングを施して表面から徐々に除去しながらオージェ分析により組成を分析し、窒素及び酸素の各原子の分布を測定した結果を第1図に示す。第1図において横軸にはスパッタ時間、縦軸にはオージェビーク値を採っており、曲線1は窒素のピーク値、曲線2は酸素のピーク値を示す。この図から明ら

特開昭54-163679(2)

成原子である酸素(O)の少なくとも一部を窒素(N)に置き換えた新しい絶縁材料を用いる所にある。即ち本発明で用いるゲート絶縁膜は $\text{SiO}_2$ の一部がシリコン窒化物に変換された所謂シリコンオキシナイトライドになっているものである。シリコンオキシナイトライド自体は公知のものであるが、これは従来CVD法により生成しているもので、 $\text{Si}$ 基体表面に直接付着すれば界面汚染が避けられないことは勿論、熱酸化 $\text{SiO}_2$ 膜上に積層した場合でもその界面には多くの構造欠陥を生じ勝ちで、特性変動を抑制するには不十分なものである。これに対し本発明ではかかる欠点のない熱酸化シリコン膜に対してその表面を含む少なくとも一部をシリコンオキシナイトライドに変換するものでありこのシリコンオキシナイトライドの生成は熱酸化シリコン膜を表面に形成したシリコン基体をアンモニア( $\text{NH}_3$ )又はヒドラジン( $\text{N}_2\text{H}_4$ )雰囲気中において900~1300℃に加熱することにより達成されるものである。かくして生成された絶縁膜は、不純物汚染の影響を受け難く、高電界の印加状態

かな通り、基板表面の絶縁膜は前記 $\text{NH}_3$ 中熱処理により表面からシリコンオキシナイトライドに変換されている。この膜は表面においてエッチング速度が著しく低く、前記 $\text{NH}_3$ 中熱処理時間が長い程その耐エッチ時間も長くなることが確かめられた。

以上の効果は熱酸化 $\text{SiO}_2$ 膜に対する窒素ガス中熱処理では認められないことから、前記 $\text{NH}_3$ ガス雰囲気中の熱処理においては $\text{NH}_3$ ガスの分解により発生した発生のN原子がシリコンオキシナイトライドの生成に寄与しているものと考えられる。従って $\text{NH}_3$ に代えてより活性な $\text{N}_2\text{H}_4$ ガス雰囲気中の熱処理によっても本発明による絶縁膜の生成は達成されるものである。

次に上記基板に対し $\text{NH}_3$ 中熱処理時間のみ変えて同条件の処理を施した各試料に、アルミニウム(Al)を4000Åの厚さに蒸着して絶縁膜上の電極を形成して界面単位密度( $N_{ss}$ )を測定した。その測定結果を第2図に示す。同図にて横軸には $\text{NH}_3$ 中での熱処理時間、縦軸には $N_{ss}$ を採っており、表面ポテンシャル( $\phi_s$ )が0.3eV時の値が示さ

れている。図示の如く、 $\text{NH}_3$  中熱処理を施さない試料と比較して同処理を施したものは界面単位密度が激減することが確認された。又、 $\text{NH}_3$  熱処理を施していない試料の C-V 特性はイオンドリフト型のヒステリシス曲線となるのに対し、同処理を施した試料は、1 時間処理のものでも既に逆向きのキャリア注入型のヒステリシス曲線を示すようになることが確められた。この C-V 特性の変化は  $\text{NH}_3$  熱処理を施さない場合には  $\text{Na}$  イオンによる影響が生じているのに対し、 $\text{NH}_3$  熱処理を施せばかかるイオンのドリフトが著しく低減されるため、熱酸化  $\text{SiO}_2$  膜自身の  $\text{Si}$  界面近傍にあるトラップ単位へのキャリア注入による影響が支配的になるためと推測される。さらに  $\text{NH}_3$  熱処理を施した場合は絶縁耐圧も向上することが確認された。

以上の事実より本発明による絶縁膜は、界面汚染や分極の問題がないことは勿論、可動イオンによる特性変動を抑制する能力に優れ、また  $\text{SiO}_2$  膜内部から表面に向かって徐々にシリコンオキシナイトライド化された構造を持つことから、異種絶縁

れる。次に第 1 図(d)の如く、基板上に多結晶  $\text{Si}$  層 16 を約  $3000 \text{ \AA}$  の厚さに CVD 法で被覆し、ゲート電極形状にパターニングした後、これをマスクとして能動領域における絶縁膜 14, 15 が除去されて  $\text{Si}$  基体表面が露出するに十分なだけエッチングを行う。この工程によりソース、ドレイン拡散窓 17, 18 が形成される。次に第 1 図(e)の如く、5 分の磷を含む磷ガラス (PSG) 膜 19 を約  $3000 \text{ \AA}$  の厚さに CVD 法により被覆した後、1000 度、30 分間、 $\text{N}_2$  中で加熱することにより、PSG 膜 19 からの磷拡散を行って、ソース、ドレインの  $n^+$  領域 20, 21 を形成する。続いて第 1 図(f)の如く、PSG 膜 19 へ電極コンタクト窓 22, 23 を開けた後、 $\text{Al}$  を蒸着し、パターニングしてソース、ドレイン電極 24, 25 を形成する。

以上の工程により製造された MIS, FET は、ゲート絶縁膜として表面がシリコンオキシナイトライド化された絶縁膜を有し、これが前述の優れた特性を備えているため、長時間の動作において極めて安定であり、 $V_{th}$  の変動も従来構造に比べ

特開昭54-163679(3)  
膜積層構造に伴い勝ちな界面構造欠陥の一切ない構造緻密なものであることが明らかである。従ってこれを表面安定化膜やゲート絶縁膜に用いた半導体装置は、外部汚染等に強く特性変動を生じ難い高信頼性を有するものと言える。

以下本発明を MIS 型トランジスタのゲート絶縁膜に適用した実施例につき説明する。第 3 図(a)~(f)は本実施例の製造工程を示す基板断面図である。第 1 図(a)において、11 は  $10\text{-cm}$  の比抵抗を持つポロンドープ p 型  $\text{Si}$  基板であり、その表面には熱酸化によるフィールド  $\text{SiO}_2$  膜 12 が能動領域 13 を除いて形成されている。この基板に対して熱酸化処理を施して、能動領域 13 に露出するシリコン基体表面に厚さ  $500 \text{ \AA}$  の  $\text{SiO}_2$  膜 14 を形成する(第 1 図(b))。次に本発明に従って基板を  $\text{NH}_3$  を含む雰囲気中で加熱処理する。処理条件は、例えば  $\text{NH}_3$  ガス中  $1100 \text{ 度}$  30 分間であってよい。これにより第 1 図(c)の如く、ゲート絶縁膜用の  $\text{SiO}_2$  膜 14 表面及びフィールド  $\text{SiO}_2$  膜 12 の表面がシリコンオキシナイトライド層 15 に変化さ

て遙かに少ない。又、 $I_{on}$  の低下や  $N_{ss}$  の増加等の問題は全く発生しないので、高性能 MIS, FET として特に大規模集積回路の構成素子として適する。

尚、上記実施例ではフィールド  $\text{SiO}_2$  膜表面にはシリコンオキシナイトライド化された層は最終的には除去されているが、これを残すか又は新たに形成して完成した MIS FET において配置しておけば、装置の表面安定化にさらに卓効を有するものである。さらに本発明は上記実施例に限定されることなく、様々な半導体装置に適用して前述の諸効果を期待し得るものであることは言うまでもない。

#### 4. 図面の簡単な説明

第 1 図は本発明による絶縁膜の組成分布を示す図、第 2 図は本発明時による処理の時間と界面単位密度の関係を示す図、第 3 図(a)~(f)は本発明実施例の製造工程を順次示す基板断面図である。

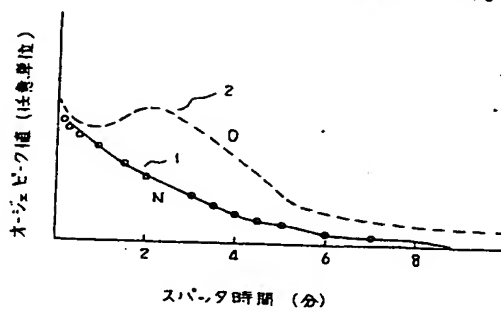
11 ————— シリコン基板

12, 14 —————  $\text{SiO}_2$  膜

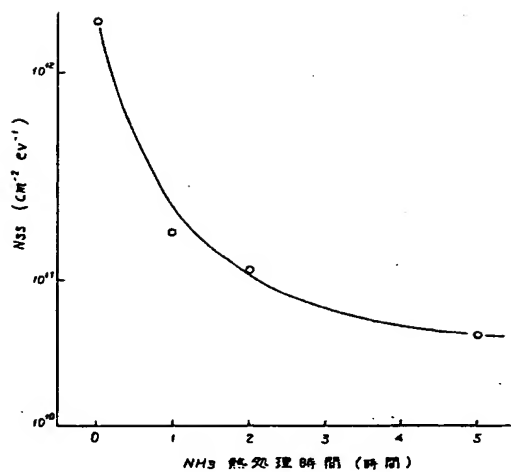
15 ..... シリコンオキシナイトライド層  
 16 ..... ゲート電極  
 24, 25 ..... ソース、ドレイン電極

代理人 井理士 松岡 宏四郎

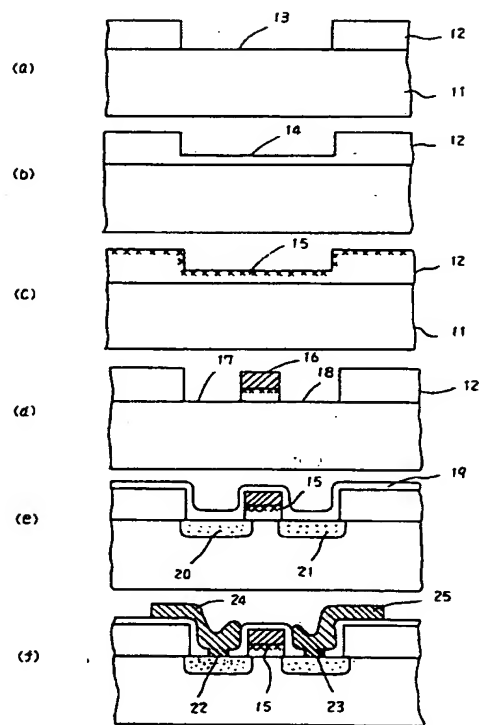
特開昭54-163679(4)



第1図



第2図



第3図